

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

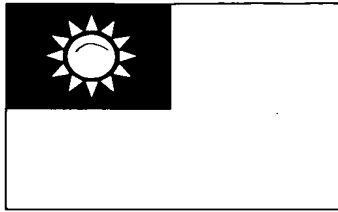
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 11 日
Application Date

申請案號：092118968
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 26 日
Issue Date

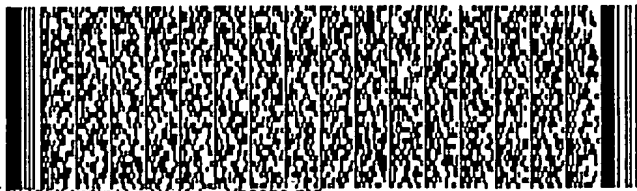
發文字號：09220854860
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	形成瓶型溝槽的方法
	英文	Method for Forming A Bottle Trench
二、 發明人 (共3人)	姓名 (中文)	1. 孫健榮 2. 黃登旺 3. 吳昌榮
	姓名 (英文)	1. Chien-Jung Sun 2. Teng-Wang Huang 3. Chang-Rong Wu
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 台北縣永和市和平街26號3樓 2. 花蓮市和平路711號 3. 台北縣板橋市民生路一段28-9號26樓
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang Lien	



四、中文發明摘要 (發明名稱：形成瓶型溝槽的方法)

一種形成瓶形溝槽的方法，其步驟包括：提供一形成有一溝槽之半導體基底，且該半導體基底上具有一墊層結構；在該溝槽下半部填入遮蔽層；利用電漿氮化沿著該溝槽之側壁形成一側壁氮化層；移除該遮蔽層；以及移除未被該側壁氮化層保護之溝槽側壁及底部而形成瓶形溝槽。

伍、(一)、本案代表圖為：第2C圖。

(二)、本案代表圖之元件代表符號簡單說明：

202～氧化層；

204～氮化層；

222～遮蔽層；

230～側壁氮化層；

240～瓶形溝槽。

六、英文發明摘要 (發明名稱：Method for Forming A Bottle Trench)

The invention provides a method for forming a bottle trench. A semiconductor substrate having a trench and a pad stack layer formed thereon is provided. A masking layer is then formed in the lower portion of the trench. Plasma nitridation is performed to form a nitride layer covering the sidewalls of the trench, followed by removing the masking layer to expose the sidewalls of the



四、中文發明摘要 (發明名稱：形成瓶型溝槽的方法)

六、英文發明摘要 (發明名稱：Method for Forming A Bottle Trench)

trench. Lower portion of the trench is then expanded to form a bottle trench by etching.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明有關於一種形成瓶型溝槽之方法，特別有關於一種利用電漿氮化 (plasma nitridation) 形成瓶型溝槽的方法。

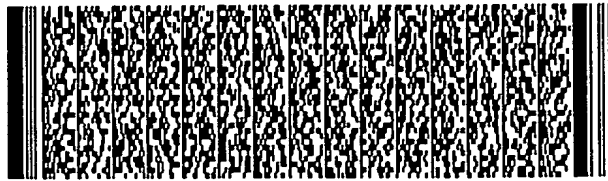
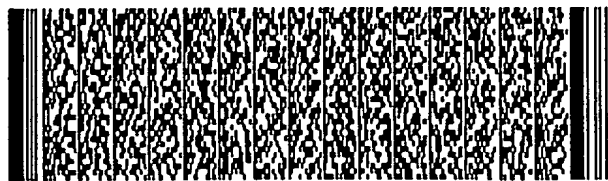
【先前技術】

一般而言，目前廣泛使用之動態隨機存取記憶體 (Dynamic Random Access Memory; DRAM) 中的電容器係由兩導電層表面 (即電極板) 隔著一絕緣物質而構成，該電容器儲存電荷之能力係由絕緣物質之厚度、電極板之表面積及絕緣物質的電氣性質所決定。隨著近年來半導體製程設計皆朝著縮小半導體元件尺寸以提高密度之方向發展，記憶體中記憶胞的基底面積必須不斷減少使積體電路能容納大量記憶胞而提高密度，但同時，記憶胞電容之電極板部分必須有足夠之表面積以儲存充足的電荷。

然而在尺寸持續地細微化的情況下，動態隨機存取記憶體中的溝槽儲存結點電容 (trench storage node capacitance) 亦隨著縮小，因此必須設法增加儲存電容以維持記憶體良好的操作性能。

目前已廣泛使用於增加DRAM之儲存電容的方法可舉例如增加溝槽底部的寬度，因而提高表面積形成一瓶型電容 (bottle-shaped capacitor)。

請參照第1A～1K圖，顯示習知技術形成瓶形溝槽的製程。在第1A圖中，在一形成有溝槽的半導體基底100上有



五、發明說明 (2)

一墊層結構，包括氧化層102以及氮化層104，在露出之溝槽側壁藉由例如熱氧化步驟形成一側壁氧化層106。接著依序以化學氣相沈積 (CVD) 形成一保護氮化層108以及一多晶矽層110。

然後，如第1B圖所示，對上述多晶矽層110進行氧化而形成保護氧化層120後，在溝槽底部形成第1C圖所示之以例如光阻材料形成之遮蔽層122，用以遮蔽溝槽下半部。接著，如第1D圖所示依序移除未被遮蔽層覆蓋之保護氧化層120而形成剩餘之保護氧化層120'。然後移除遮蔽層122，如第1E圖所示。

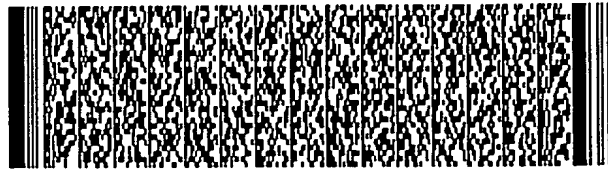
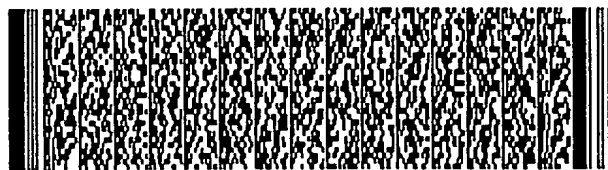
接下來，以快速熱處理進行氮化 (nitridation) 形成如第1F圖所示之側壁氮化層124於溝槽上半部，然後如第1G圖所示般移除下半部保護氧化層120'。

然後，如第1H、1I圖所示，再依序移除下半部多晶矽層124與保護氮化層108以及上半部多晶矽層124'。接著，移除下半部側壁氧化層106後，即可對溝槽下半部露出之半導體基底進行濕蝕刻而形成第1K圖所示之瓶形溝槽。

隨著半導體尺寸日益縮小的前提下，在細微溝槽開口進行上述步驟越來越困難，且上述製程繁雜，需要多次沈積以及移除步驟，不論是在製造成本或時間上均不符經濟效益，因此需要一種製程簡化且高產能的形成瓶形溝槽的方法。

【發明內容】

有鑑於此，本發明的目的就在於提供一種製程大幅簡



五、發明說明 (3)

化的形成瓶形溝槽的方法，不僅節省製造成本及時間而提高經濟效益，更能應用在線寬更細微的新世代半導體製程。

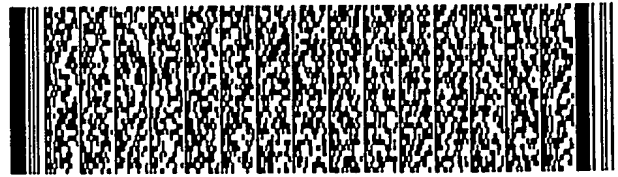
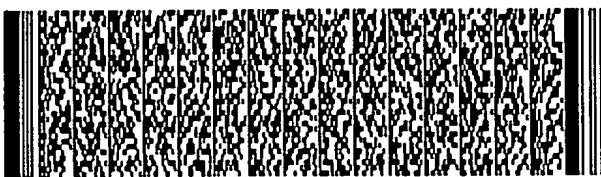
為達成上述目的，本發明之形成瓶形溝槽的方法，步驟包括提供一形成有一溝槽之半導體基底，且該半導體基底上具有一墊層結構；在該溝槽下半部填入遮蔽層；利用電漿氮化沿著該溝槽之側壁形成一側壁氮化層；移除該遮蔽層；以及移除未被該側壁氮化層保護之溝槽側壁及底部而形成瓶形溝槽。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

【實施方式】

依據第2A圖，其顯示本發明之啟始步驟。其中基底100為一半導體材質，例如由矽材質組成，為方便說明起見，在此以一矽基底為例。

首先，如第2A圖所示，在提供一由矽組成之半導體基底100後，於該半導體基底100上形成一墊層構造(pad stack layer)，例如以化學氣相沈積(Chemical Vapor Deposition; CVD)依序沈積氧化矽層202於半導體基底100表面，及沈積一絕緣層如氮化矽層204於氧化矽層202之表面，該氮化矽層之厚度為200~500 Å，而氧化矽層厚度為20~100 Å。該墊層構造在此係做為乾蝕刻或化學機械研



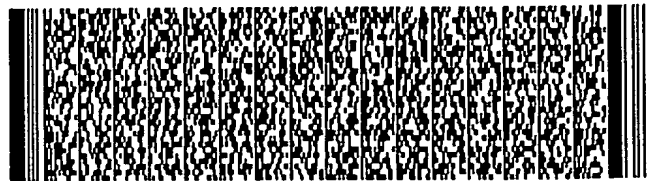
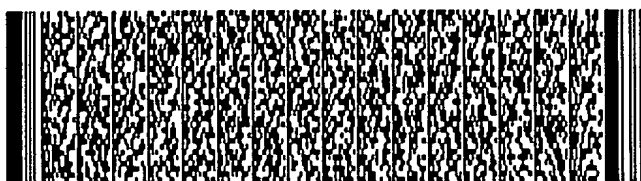
五、發明說明 (4)

磨 (CMP) 之停止層 (etchign stop layer)。

接著，在該墊疊層構造內形成一罩幕開口，以暴露出部分半導體基底表面，例如可先利用光阻材料之塗佈及曝光顯影等微影製程形成一光阻圖案於該墊疊層構造表面，然後再利用反應性離子蝕刻 (Reactive Ion Etching; RIE) 或電漿蝕刻等蝕刻該墊疊層構造以形成一罩幕開口。接下來，以電漿蝕刻該罩幕開口露出之半導體基底，因而形成如第2A圖所示之溝槽222。上述形成溝槽的方法係包括如反應離子蝕刻法 (Reactive Ion Etching; RIE) 以及電漿蝕刻 (Plasma Etching) 等的非等向性乾蝕刻 (Anisotropic Dry Etching)。

然後，如第2B圖所示填充一遮蔽層，例如光阻於溝槽222內部，並以乾回蝕刻 (dry etch back)，使該遮蔽層之表面在低於矽基底 $1.0 \sim 3.0 \mu\text{m}$ 的高度。

接下來，進行本發明之關鍵步驟，也就是以電漿氮化 (Plasma Nitridaiton) 方式，在溝槽222露出之側壁上形成側壁氮化層230。上述氮化步驟在本實施例係使用修改磁電管型氮化製程 (Mofidied Magnetron Typed Nitridation; MMT Nitridation)，其主要係利用射頻 (Radio Frequency; RF) 產生之電漿進行氮化，第3圖即繪示上述修改磁電管型氮化反應爐，其中2為承載加熱器，4為RF電極，6為排氣口，8為磁環 (Magnet Ring)，10為反應爐，12為入氣口，14為氣體引入盤 (Gas Injection Plate)，16為電漿。反應爐較佳為填充含氮



五、發明說明 (5)

氣體例如 N_2 、 NO 、 N_2O 、 NH_3 或上述氣體之組合，或者混有上述氣體與例如 He 、 Ar 、 Ne 、 Xe 、 Kr 等之惰性氣體的混合氣體亦適用。

含氮氣體經由入氣口12以及氣體引入盤14後進入反應爐10，通過RF電極4產生之電漿16而被激發成反應狀態後到達承載加熱器2之晶圓上，進而與位於溝槽側壁上的矽反應沈積氮化層，氣體則由排氣口6排出。

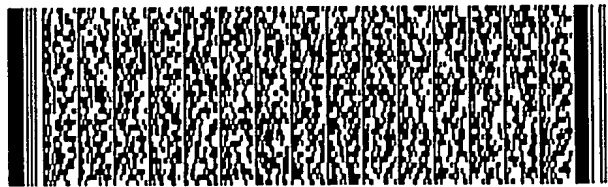
上述電漿氮化操作溫度較佳為 $25 \sim 100^\circ C$ ，當溫度到達 $100^\circ C$ 以上時，會有使遮蔽層之光阻材料揮發之疑慮，因此溫度較佳為控制在低於 $100^\circ C$ 的條件下進行氮化。其他製程條件，例如壓力之較佳範圍為 $30 \sim 50 Pa$ ，RF電力較佳為 $500 \sim 1000 W$ 。

上述側壁氮化層之厚度較佳為 $40 \sim 50$ 埃，如第2C圖所示，本實施例之用以保護溝槽上半部側壁之側壁氮化層僅以單一步驟形成，比起習知多次沈積及移除步驟簡化許多。

接著，可藉由習知方法，例如去光阻劑移除遮蔽層222後，如第2D圖所示露出溝槽下半部之側壁，以進行後續之濕蝕刻步驟。上述遮蔽層較佳為光阻材料。

最後，如第2E圖所示，以例如氨水($NH_4OH + H_2O$)進行濕蝕刻移除溝槽下半部側壁之半導體基底，成為溝槽下半部擴大之瓶形溝槽240，因而達成本發明。

根據本發明之形成瓶形溝槽之方法，可省略習知製程如第1A~1K圖所示重複進行沈積以及移除的步驟，僅在溝



五、發明說明 (6)

槽底部形成遮蔽層後，即利用電漿氮化形成側壁氮化層於溝槽上半部側壁，因此不論是在製造成本或者時間上，均比習知更為符合經濟效益，對提生產能有極佳效果。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

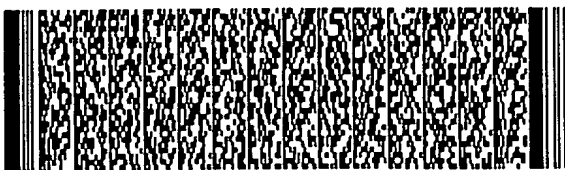
第1A～1K圖為習知技術形成瓶形溝槽之方法的製程剖面圖。

第2A～2E圖為本發明實施例之形成瓶形溝槽之方法的製程剖面圖。

第3圖係繪示本發明實施例中電漿氮化反應爐的示意圖。

符號說明

- 2～承載加熱器；
- 4～RF電極；
- 6～排氣口；
- 8～磁環；
- 10～反應爐；
- 12～入氣口；
- 14～氣體引入盤；
- 16～電漿；
- 100、200～半導體基底；
- 102、202～氧化層；
- 104、204～氮化層；
- 106～側壁氧化層；
- 108～保護氮化層；
- 110～多晶矽層；
- 120～氧化多晶矽層；
- 124～側壁氮化層；



圖式簡單說明

122、222～遮蔽層；

230～側壁氮化層；

140、240～瓶形溝槽。



六、申請專利範圍

1. 一種形成瓶型溝槽的方法，其步驟包括：

提供一形成有一溝槽之半導體基底，且該半導體基底上具有一墊層結構；

在該溝槽下半部填入遮蔽層；

利用電漿氮化沿著該溝槽之側壁形成一側壁氮化層；

移除該遮蔽層；以及

移除未被該側壁氮化層保護之溝槽側壁及底部而形成瓶形溝槽。

2. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中該墊層結構包括一氧化層以及一氮化層。

3. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中該遮蔽層為光阻材料。

4. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中該電漿氮化之溫度為 $25 \sim 100^{\circ}\text{C}$ 。

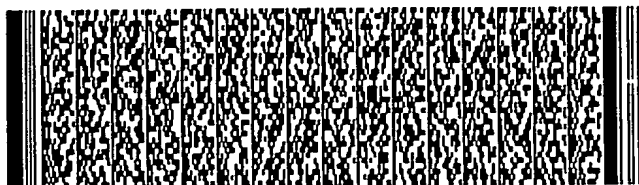
5. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中最後移除溝槽之側壁及底部係以濕蝕刻進行。

6. 如申請專利範圍第5項所述之形成瓶型溝槽的方法，其中濕蝕刻係使用氨水($\text{NH}_4\text{OH} + \text{H}_2\text{O}$)。

7. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中該電漿氮化之壓力為 $30 \sim 50\text{Pa}$ 。

8. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中該電漿氮化為射頻(RF)電漿。

9. 如申請專利範圍第8項所述之形成瓶型溝槽的方



六、申請專利範圍

法，其中該射頻電力為500～1000W。

10. 一種形成瓶型溝槽的方法，其步驟包括：

提供一形成有一溝槽之半導體基底，且該半導體基底上具有一墊層結構；

在該溝槽下半部填入光阻層；

利用25～100℃之電漿氮化沿著該墊層結構以及該溝槽之側壁形成一側壁氮化層；

移除該光阻層；以及

移除未被該側壁氮化層保護之溝槽側壁及底部而形成瓶形溝槽。

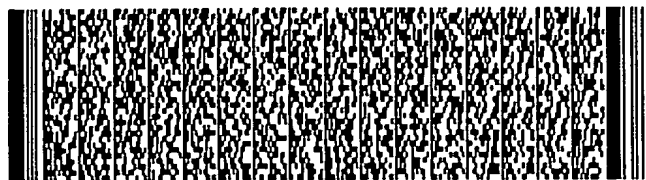
11. 如申請專利範圍第9項所述之形成瓶型溝槽的方法，其中最後移除溝槽之側壁及底部係以濕蝕刻進行。

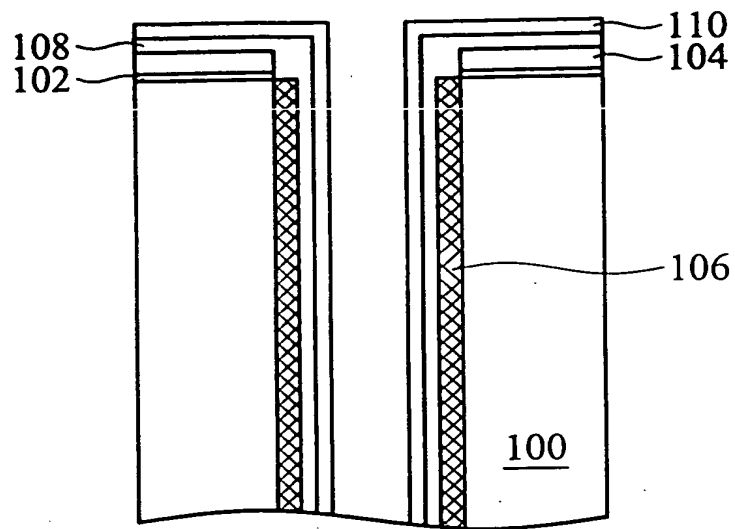
12. 如申請專利範圍第10項所述之形成瓶型溝槽的方法，其中濕蝕刻係使用氨水（ $\text{NH}_4\text{OH}+\text{H}_2\text{O}$ ）。

13. 如申請專利範圍第9項所述之形成瓶型溝槽的方法，其中該電漿氮化之壓力為30～50Pa。

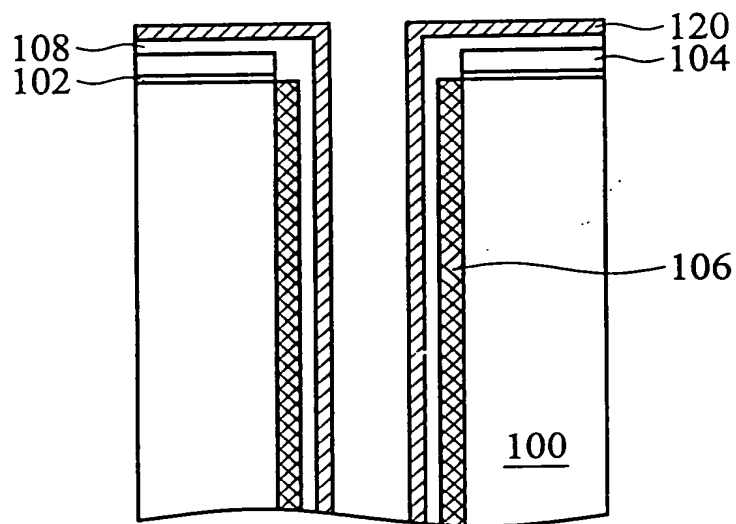
14. 如申請專利範圍第9項所述之形成瓶型溝槽的方法，其中該電漿氮化為射頻（RF）電漿。

15. 如申請專利範圍第14項所述之形成瓶型溝槽的方法，其中該射頻電力為500～1000W。

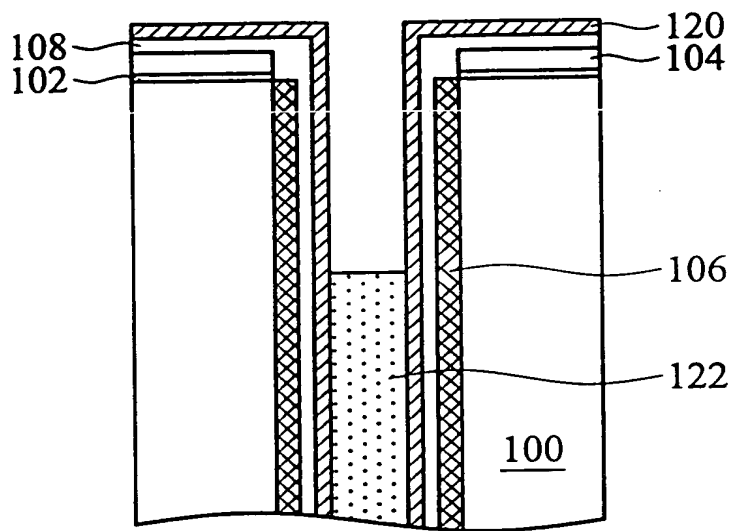




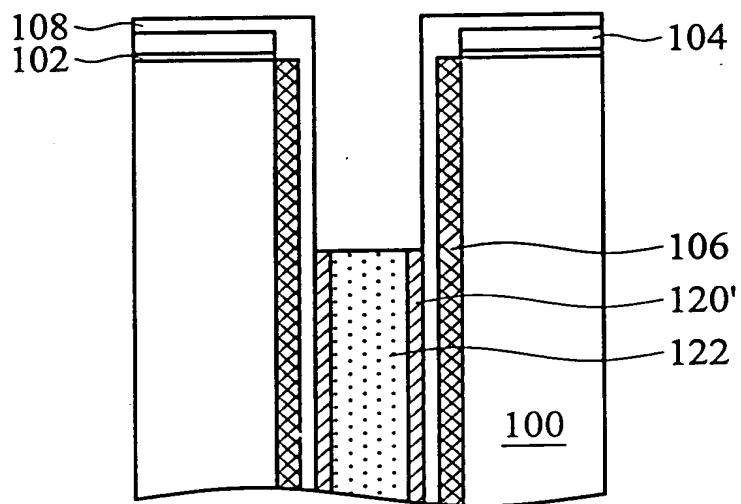
第 1A 圖



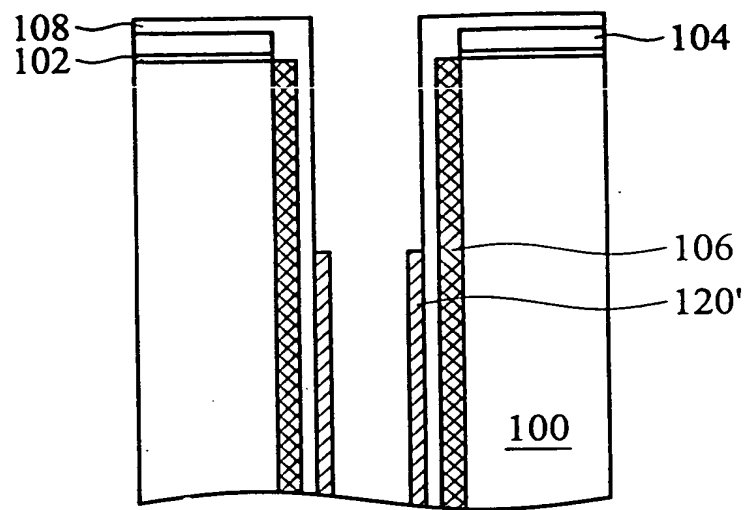
第 1B 圖



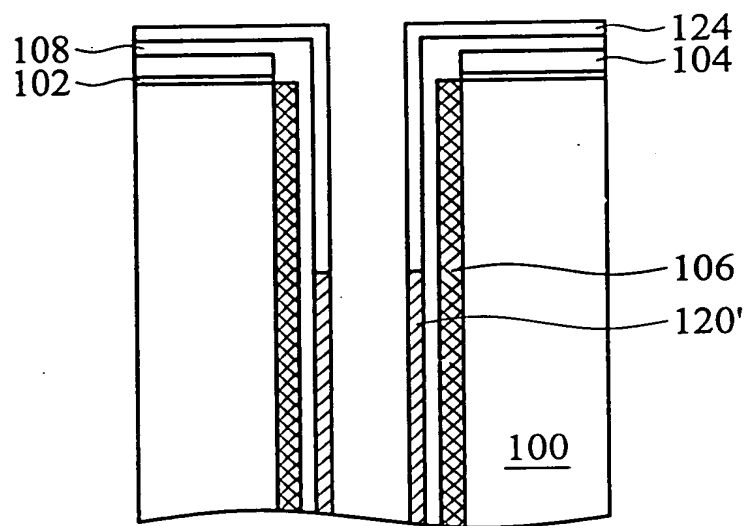
第 1C 圖



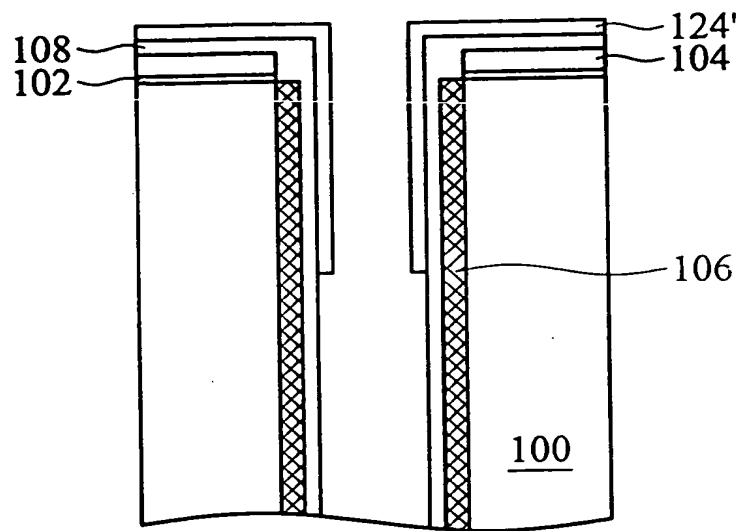
第 1D 圖



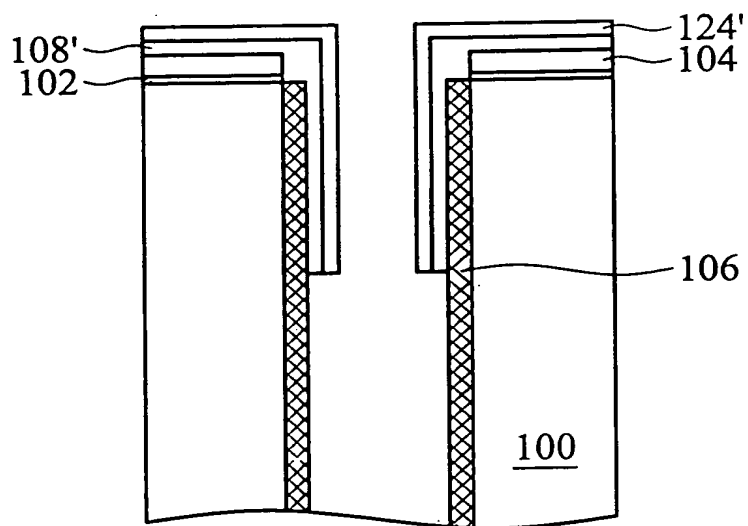
第 1E 圖



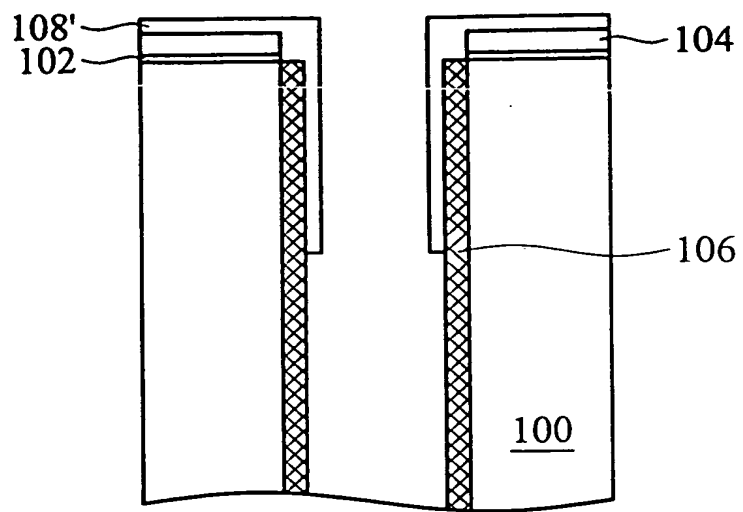
第 1F 圖



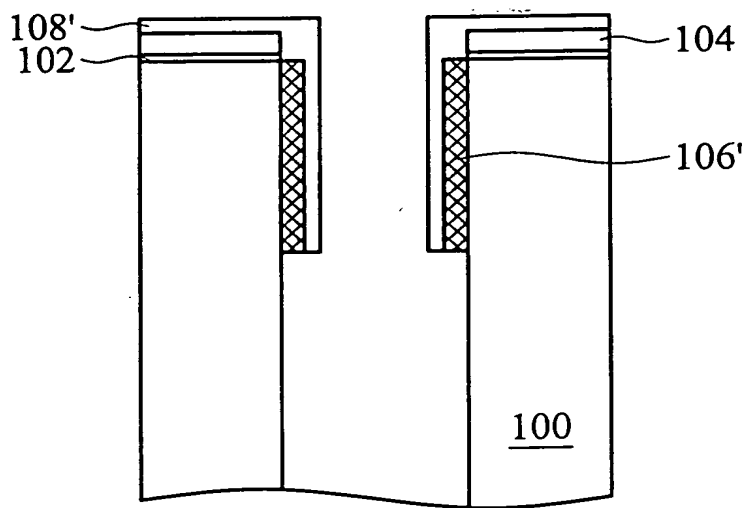
第 1G 圖



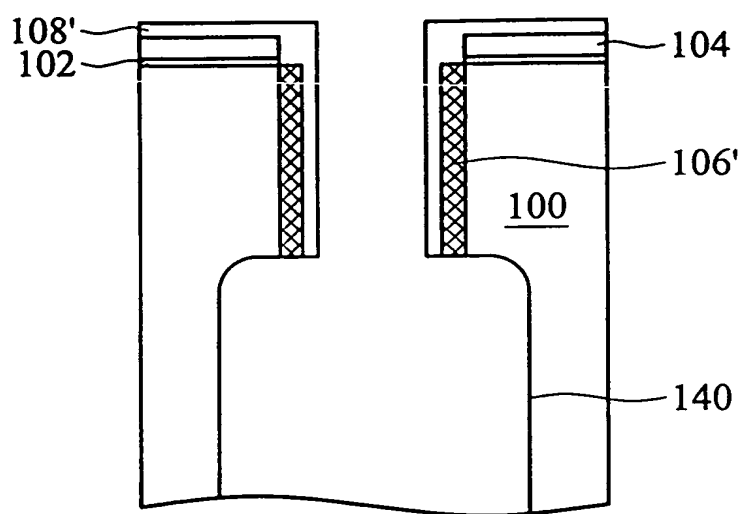
第 1H 圖



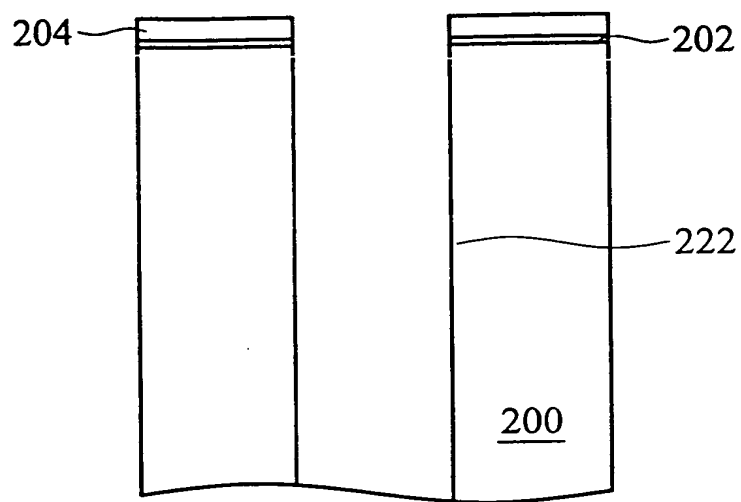
第 11 圖



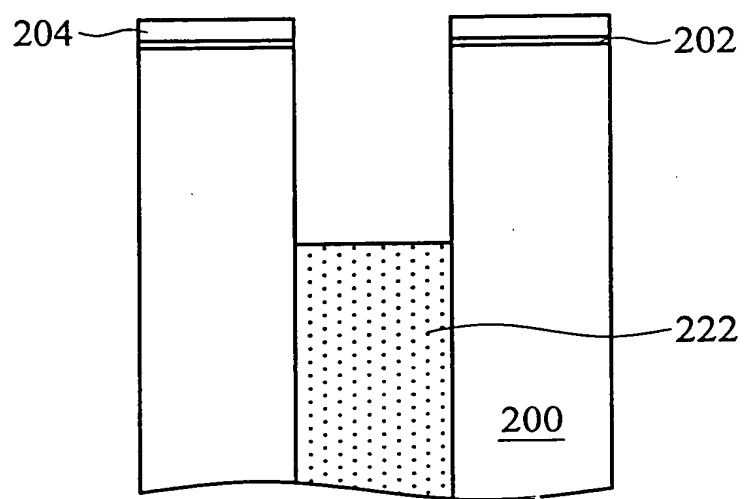
第 1J 圖



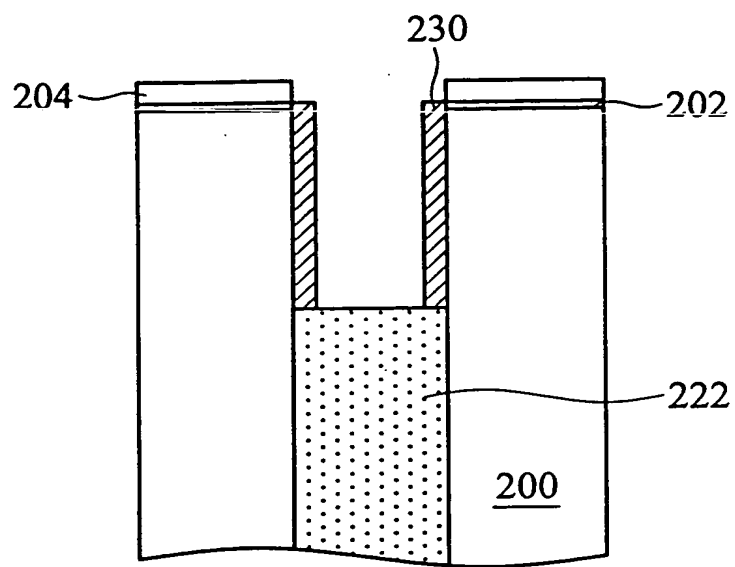
第 1K 圖



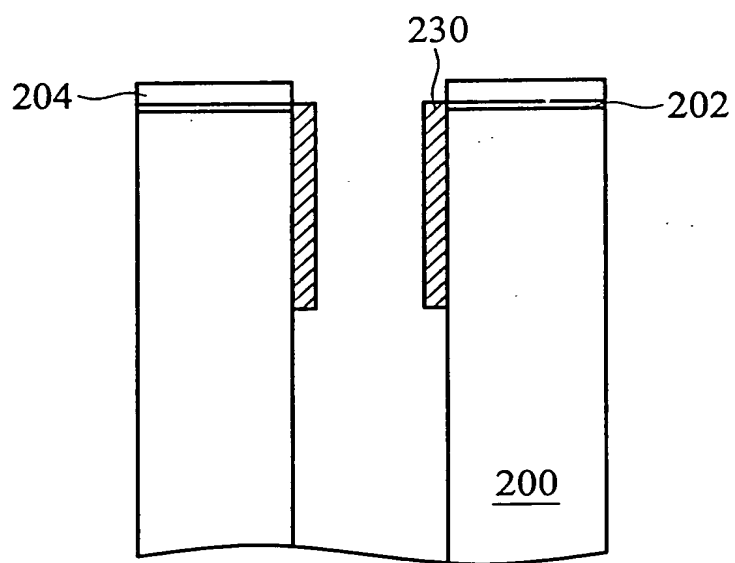
第 2A 圖



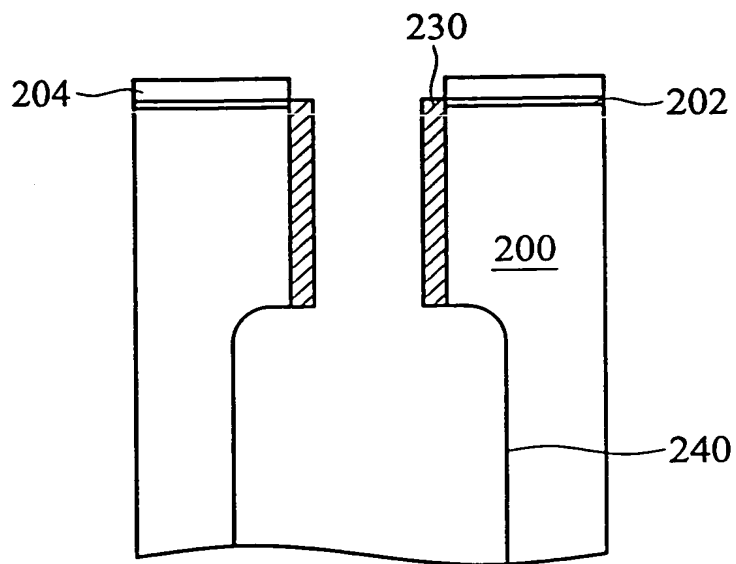
第 2B 圖



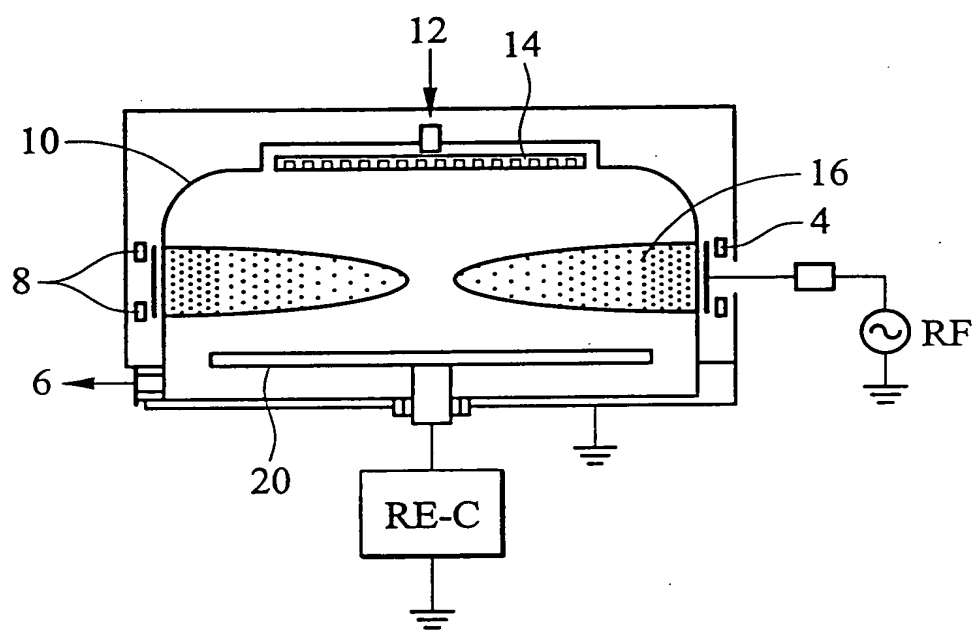
第 2C 圖








第 2D 圖



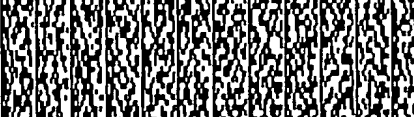
第 2E 圖



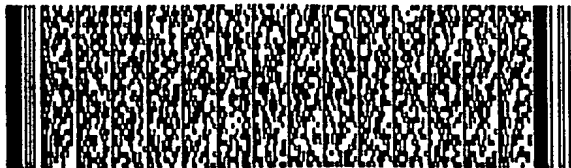
第 3 圖



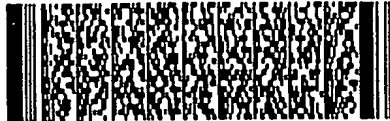
100



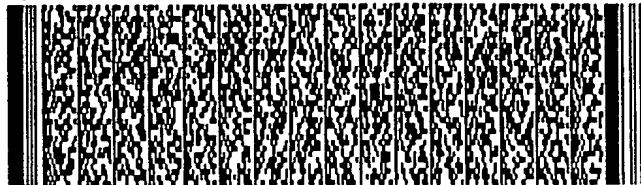
第 11/14 頁



第 12/14 頁



第 13/14 頁



第 14/14 頁

